

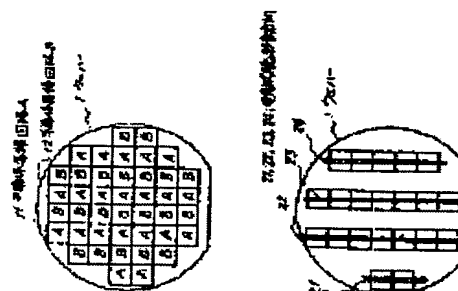
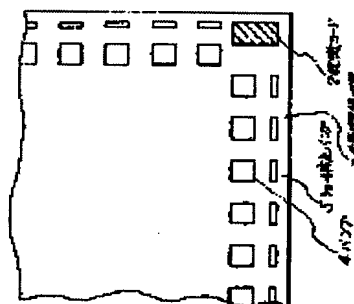
MANUFACTURE OF SEMICONDUCTOR DEVICE**Cited Reference 3**

Patent number: JP63220542
Publication date: 1988-09-13
Inventor: SAITO MUTSUO
Applicant: NIPPON ELECTRIC CO
Classification:
 - international: H01L21/66; H01L21/82; H01L27/04
 - european: H01L27/118
Application number: JP19870054603 19870309
Priority number(s): JP19870054603 19870309

Report a data error here

Abstract of JP63220542

PURPOSE: To reduce excess products and to prevent products in stock and a stockroom from increasing by a method wherein, when a wafer containing wiring patterns of more than two types of semiconductor integrated circuits is to be tested electrically, desired semiconductor integrated circuits are tested electrically by identifying different types of identification codes on the semiconductor integrated circuits. **CONSTITUTION:** When semiconductor integrated circuits A are to be tested electrically, they are tested electrically after an identification code 2 situated inside a semiconductor integrated circuit 3 has been identified. That is to say, it is possible to test the semiconductor integrated circuits A on a wafer 1 in the order of arrows 21-24 in succession. This example refers to a case where two different types of semiconductor integrated circuits A and B are to be tested electrically; when more than three types of semiconductor integrated circuits A, B, C, ... are contained, they can be tested electrically in the same manner. As the identification code, an electrical method by using an open state and a short-circuited state between identification pads as well as a resistance value and another method to identify an identification mark optically are available. By this setup, it is possible to reduce excess products and to prevent products in stock and a stockroom from increasing.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-220542

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)9月13日

H 01 L 21/82
21/66
27/048526-5F
6851-5F
7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭62-54603

⑰ 出 願 昭62(1987)3月9日

⑱ 発 明 者 斎 藤 睦 男 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

マスタースライス方式により製造する半導体集積回路において、二種以上の品種の半導体集積回路の配線パターンを有するウェハを電気試験する場合、種類の異なる半導体集積回路上の認識コードを識別して所望の半導体集積回路の電気試験をすることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路の製造方法、特に半導体集積回路の電気試験方法に関する。

〔従来の技術〕

半導体集積回路の製造において、回路の品種が多様多様でしかも一品種の需要が比較的少ないこ

とがある。この場合、マスタースライス方式、即ち回路内に必要な素子を敷けておき配線パターンだけを変えて異なった回路をつくる方式がとられる。従来、マスタースライス方式での配線パターンを形成する時に使用するマスクは一種類の品種のみを有するように形成されていた。

〔発明が解決しようとする問題点〕

従って半導体集積回路の品種を多く製造する場合には、一品種の需要に比べ製造する量が必然的に増加しウェハ状態での電気試験の所要時間も増え、さらに余剰製品の保管数及び保管場所が増大するという欠点がある。

本発明の目的は、多品種の半導体集積回路を製造する場合に余剰製品を少なくし、ひいてはその保管数及び保管場所の増大化を防止するために最適な半導体集積回路の製造方法を提供することである。

〔発明の従来技術に対する相違点(独創性)の内容〕

上述した従来のウェハでの電気試験法に対し、本発明は多品種少量生産方式において、二種以上

の品種が収納されているウェハの所望の半導体集積回路の電気試験を実施する場合、半導体集積回路にある認識コードを識別することにより電気試験を実施するという独創的内容を有する。

〔問題点を解決するための手段〕

本発明は二種以上の品種の半導体集積回路が収納されているウェハの所望の半導体集積回路の電気試験を実施する場合、半導体集積回路にある認識コードを識別して電気試験する試験方法を有している。

〔実施例〕

図面を参照して本発明の実施例を説明する。まず、第1図に示すように半導体集積回路A.11と半導体集積回路B.12を収納するウェハ1において、半導体集積回路Aのみを電気試験する場合、第3図に示すように半導体集積回路3内にある認識コード2を認識してから電気試験を実施するようにする。

すなわち、第2図に示すようにウェハ1の半導体集積回路Aのみを矢印21,22,23,24の如く

- 3 -

ードの認識をしないで順次所望の半導体集積回路の電気試験をする。この実施例では、1ペレット毎に前記認識コードを認識しなくて良い利点がある。

〔発明の効果〕

以上説明したように、本発明によれば多品種少量生産方式により少量の半導体集積回路を生産する場合に、二種以上の品種の半導体集積回路の配線パターンを有するウェハを電気試験することができるので、余剰製品を少なくでき、さらに製品の保管数及び保管場所の増大化を防止できる効果がある。

4. 図面の簡単な説明

第1図及び第2図は本発明の実施例の説明図、第3図は半導体集積回路の部分拡大図、第4図は実施例2の作業フロー図である。

1…ウェハ、2…認識コード、3…半導体集積回路、4…パンプ、5…ショート防止パンプ、11…半導体集積回路A、12…

- 5 -

順番に電気試験を実施することが可能となる。本実施例では異なる二種類の半導体集積回路AとBの場合の電気試験方法を説明したが、三種類以上の半導体集積回路A,B,C,…を収納する場合も同様の試験方法が可能である。尚、認識コードとしては識別パッド間のオープン・ショート及び抵抗値による電気的方法と、識別マークを光学的に識別する方法がある。

〔実施例2〕

実施例1では、1ペレット毎に半導体集積回路内の認識コードを認識してから電気試験を実施していた。第2の実施例としては、第4図に示すように電気試験を実施する前に第1図に示すような半導体集積回路Aと半導体集積回路Bのマップを電気試験機に電気試験を実施前に登録しておく。次に、半導体集積回路Aを電気試験をする場合、あらかじめ登録しておいた前記マップに従い第2図に示す電気試験の移動方向21,22,23,24の列が変わった時のみ、最初のペレットの前記認識コードを認識し、同一列の他のペレットの認識コ

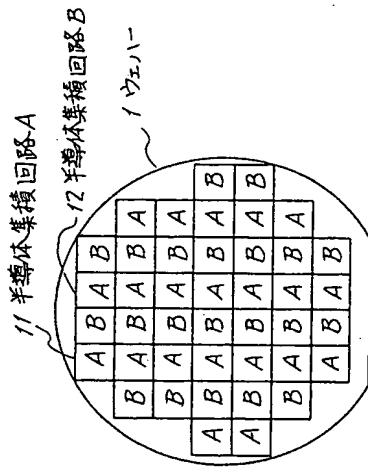
- 4 -

半導体集積回路B、21,22,23,24…電気試験の移動方向。

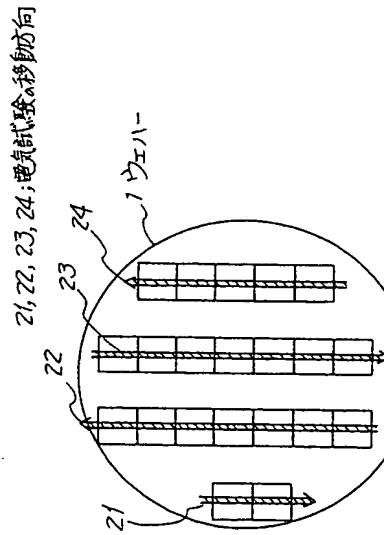
代理人 弁理士 内 原 普



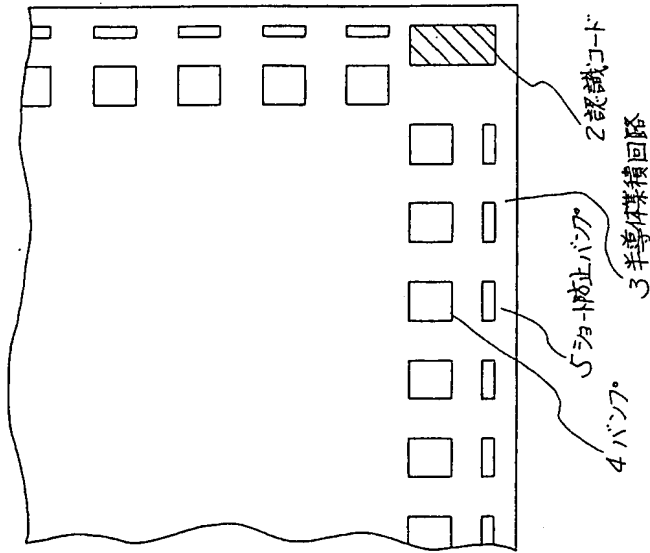
- 6 -



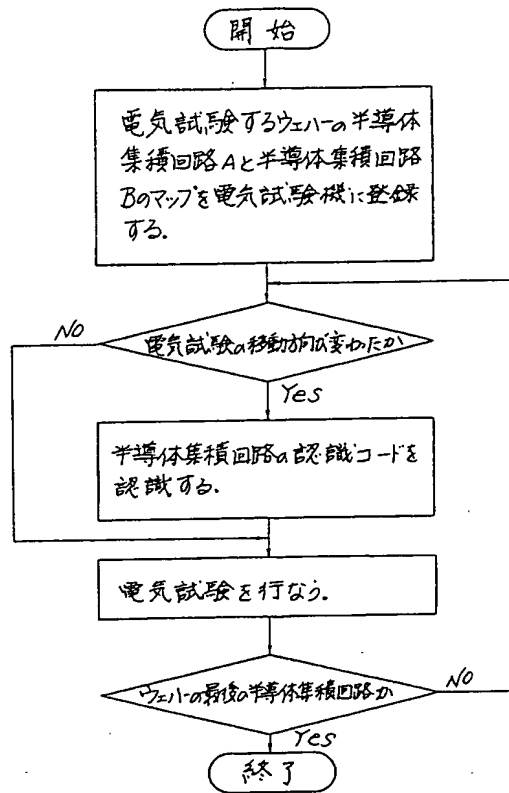
第1図



第2図



第3図



第4図